

VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESEN

REC'D 16 NOV 2004

PCT

WIPO

PCT

INTERNATIONALER VORLÄUFIGER PRÜFUNGSBERICHT (Artikel 36 und Regel 70 PCT)

Aktenzeichen des Anmelders oder Anwalts 2002P08374WO	WEITERES VORGEHEN siehe Mitteilung über die Übersendung des internationalen vorläufigen Prüfungsberichts (Formblatt PCT/PEA/416)	
Internationales Aktenzeichen PCT/EP 03/08323	Internationales Anmeldedatum (Tag/Monat/Jahr) 28.07.2003	Prioritätsdatum (Tag/Monat/Jahr) 19.08.2002
Internationale Patentklassifikation (IPK) oder nationale Klassifikation und IPK H03M1/00		
Anmelder SIEMENS AKTIENGESELLSCHAFT et al.		



- Dieser internationale vorläufige Prüfungsbericht wurde von der mit der internationalen vorläufigen Prüfung beauftragten Behörde erstellt und wird dem Anmelder gemäß Artikel 36 übermittelt.
- Dieser BERICHT umfaßt insgesamt 4 Blätter einschließlich dieses Deckblatts.

☒ Außerdem liegen dem Bericht ANLAGEN bei; dabei handelt es sich um Blätter mit Beschreibungen, Ansprüchen und/oder Zeichnungen, die geändert wurden und diesem Bericht zugrunde liegen, und/oder Blätter mit vor dieser Behörde vorgenommenen Berichtigungen (siehe Regel 70.16 und Abschnitt 607 der Verwaltungsrichtlinien zum PCT).

 Diese Anlagen umfassen insgesamt 6 Blätter.

3. Dieser Bericht enthält Angaben zu folgenden Punkten:

- I ☒ Grundlage des Bescheids
- II ☐ Priorität
- III ☐ Keine Erstellung eines Gutachtens über Neuheit, erfinderische Tätigkeit und gewerbliche Anwendbarkeit
- IV ☐ Mangelnde Einheitlichkeit der Erfindung
- V ☒ Begründete Feststellung nach Regel 66.2 a)ii) hinsichtlich der Neuheit, der erfinderischen Tätigkeit und der gewerblichen Anwendbarkeit; Unterlagen und Erklärungen zur Stützung dieser Feststellung
- VI ☐ Bestimmte angeführte Unterlagen
- VII ☐ Bestimmte Mängel der internationalen Anmeldung
- VIII ☐ Bestimmte Bemerkungen zur internationalen Anmeldung

Datum der Einreichung des Antrags 01.03.2004	Datum der Fertigstellung dieses Berichts 12.11.2004
Name und Postanschrift der mit der internationalen Prüfung beauftragten Behörde  Europäisches Patentamt D-80298 München Tel. +49 89 2399 - 0 Tx: 523656 epmu d Fax: +49 89 2399 - 4465	Bevollmächtigter Bediensteter Müller, U Tel. +49 89 2399-6940 

I. Grundlage des Berichts

1. Hinsichtlich der **Bestandteile** der internationalen Anmeldung (*Ersatzblätter, die dem Anmeldeamt auf eine Aufforderung nach Artikel 14 hin vorgelegt wurden, gelten im Rahmen dieses Berichts als "ursprünglich eingereicht" und sind ihm nicht beigelegt, weil sie keine Änderungen enthalten (Regeln 70.16 und 70.17)*):

Beschreibung, Seiten

1, 3-7 in der ursprünglich eingereichten Fassung
2, 2a eingegangen am 12.07.2004 mit Schreiben vom 12.07.2004

Ansprüche, Nr.

1-8 eingegangen am 12.07.2004 mit Schreiben vom 12.07.2004

Zeichnungen, Blätter

1/2-2/2 in der ursprünglich eingereichten Fassung

2. Hinsichtlich der **Sprache**: Alle vorstehend genannten Bestandteile standen der Behörde in der Sprache, in der die internationale Anmeldung eingereicht worden ist, zur Verfügung oder wurden in dieser eingereicht, sofern unter diesem Punkt nichts anderes angegeben ist.

Die Bestandteile standen der Behörde in der Sprache: zur Verfügung bzw. wurden in dieser Sprache eingereicht; dabei handelt es sich um:

- ☐ die Sprache der Übersetzung, die für die Zwecke der internationalen Recherche eingereicht worden ist (nach Regel 23.1(b)).
- ☐ die Veröffentlichungssprache der internationalen Anmeldung (nach Regel 48.3(b)).
- ☐ die Sprache der Übersetzung, die für die Zwecke der internationalen vorläufigen Prüfung eingereicht worden ist (nach Regel 55.2 und/oder 55.3).

3. Hinsichtlich der in der internationalen Anmeldung offenbarten **Nucleotid- und/oder Aminosäuresequenz** ist die internationale vorläufige Prüfung auf der Grundlage des Sequenzprotokolls durchgeführt worden, das:

- ☐ in der internationalen Anmeldung in schriftlicher Form enthalten ist.
- ☐ zusammen mit der internationalen Anmeldung in computerlesbarer Form eingereicht worden ist.
- ☐ bei der Behörde nachträglich in schriftlicher Form eingereicht worden ist.
- ☐ bei der Behörde nachträglich in computerlesbarer Form eingereicht worden ist.
- ☐ Die Erklärung, daß das nachträglich eingereichte schriftliche Sequenzprotokoll nicht über den Offenbarungsgehalt der internationalen Anmeldung im Anmeldezeitpunkt hinausgeht, wurde vorgelegt.
- ☐ Die Erklärung, daß die in computerlesbarer Form erfassten Informationen dem schriftlichen Sequenzprotokoll entsprechen, wurde vorgelegt.

4. Aufgrund der Änderungen sind folgende Unterlagen fortgefallen:

- ☐ Beschreibung, Seiten:
- ☐ Ansprüche, Nr.:
- ☐ Zeichnungen, Blatt:

5. ☐ Dieser Bericht ist ohne Berücksichtigung (von einigen) der Änderungen erstellt worden, da diese aus den angegebenen Gründen nach Auffassung der Behörde über den Offenbarungsgehalt in der ursprünglich eingereichten Fassung hinausgehen (Regel 70.2(c)).

(Auf Ersatzblätter, die solche Änderungen enthalten, ist unter Punkt 1 hinzuweisen; sie sind diesem Bericht beizufügen.)

6. Etwaige zusätzliche Bemerkungen:

V. Begründete Feststellung nach Artikel 35(2) hinsichtlich der Neuheit, der erfinderischen Tätigkeit und der gewerblichen Anwendbarkeit; Unterlagen und Erklärungen zur Stützung dieser Feststellung

- | | |
|--------------------------------|--|
| 1. Feststellung | |
| Neuheit (N) | Ja: Ansprüche 1-8
Nein: Ansprüche |
| Erfinderische Tätigkeit (IS) | Ja: Ansprüche 1-8
Nein: Ansprüche |
| Gewerbliche Anwendbarkeit (IA) | Ja: Ansprüche: 1-8
Nein: Ansprüche: |

2. Unterlagen und Erklärungen:

siehe Beiblatt

Zu Punkt V

1. Von den im Recherchenbericht genannten Druckschriften sind in diesem internationalen vorläufigen Prüfungsbericht folgende herangezogen:

D1: XP010140531 JANSSON C ET AL: 'A 1-MHz and 16-bit /spl Sigma//spl Delta/ DAC with a 224th-order reconstruction FIR-filter using only 9 nonzero taps' PROCEEDINGS., IEEE INTERNATIONAL

D2: US-A-5 323 157 (IRWIN JAMES S ET AL) 21. Juni 1994

2. Die vorliegende Anmeldung erfüllt die Erfordernisse nach Artikel 33 (1) bis (3) PCT, weil der Gegenstand der Ansprüche neu ist und auf erfinderischer Tätigkeit beruht.

- 2.1 Druckschrift D1 bildet den nächsten Stand der Technik im Hinblick auf die vorliegende Anmeldung. Druckschrift D1 offenbart einen Digital-Analog Wandler (DAC) wobei die Anordnung, mehrere Verzögerungsglieder aufweist die eine Filterstruktur bilden.

Im Unterschied zur vorliegenden Anmeldung ist in D1 nicht offenbart, daß die Verzögerungszeiten die den jeweiligen Verzögerungsgliedern spezifisch zugeordnet sind, einer vollen oder einer halben Taktperiode entsprechen, sowie das Taktsignal derart gewählt wird, daß bei einer Änderung des Trägerfrequenzbereiches des Ausgangssignals eine automatische Anpassung der Filtercharakteristik erfolgt.

- 2.2 Das technische Problem lautet daher einen DAC abstimmbar auf verschiedene Trägerfrequenzbereiche zu entwerfen.

- 2.3 In Druckschrift D2 ist ein DAC mit Verzögerungsgliedern offenbart, die eine Teiltaktperiode des Taktsignals erhalten. Die in Anspruch 1 genannte Lösung, die Filtercharakteristik durch eine entsprechende Wahl des Taktsignals an die Änderung des Trägerfrequenzbereiches des Ausgangssignals anzupassen, wird nicht durch D2 oder eines der im Internationalen Recherchebericht genannten Dokumente nahegelegt.

Der Gegenstand des unabhängigen Anspruchs 1 ist damit neu und erfinderisch.

- 2.4 Die abhängigen Ansprüche enthalten alle Merkmale aus Anspruch 1, daher erfüllen auch die abhängigen Ansprüche die Erfordernisse nach Artikel 33 (1) bis (3) PCT hinsichtlich Neuheit und erfinderischer Tätigkeit.

Beschreibung

Anordnung zur Digital-Analog-Wandlung eines hochfrequenten digitalen Eingangssignals in ein trägerfrequentes analoges Ausgangssignal

Die Erfindung betrifft eine Anordnung zur Digital-Analog-Wandlung eines hochfrequenten digitalen Eingangssignals in ein trägerfrequentes analoges Ausgangssignal gemäß dem Oberbegriff des Patentanspruchs 1.

Es sind Architekturen zur Erzeugung eines breitbandigen, trägerfrequenten Ausgangssignals bekannt, bei denen in einem niedrigen Frequenzbereich ein digitales Eingangssignal mit Hilfe eines Digital-Analog-Wandlers in ein analoges Signal gewandelt und anschließend mit Hilfe einer oder mehrerer Mischerstufen in das trägerfrequente Ausgangssignal umgesetzt wird.

Weiterhin sind Digital-Analog-Wandler-Architekturen bekannt, bei denen aus einem hochfrequenten digitalen Eingangssignal ohne weitere Frequenzumsetzung ein trägerfrequentes Ausgangssignal erzeugt wird. Das trägerfrequente analoge Ausgangssignal weist dabei neben einer gewünschten Trägerfrequenz auch unerwünschte Trägerfrequenzen auf, die beispielsweise durch ein nichtideales digitales Eingangssignal bzw. durch verschiedene unerwünschte Modulationsmechanismen entstehen können.

Bei den beschriebenen Architekturen sind stets ausgangsseitig angeordnete, kostenintensive Filter mit einer hohen Güte bzw. Mischer mit einer hohen Linearität notwendig, die jeweils auf einen gewünschten Trägerfrequenzbereich abzustimmen sind. Bei

einem gewünschten Wechsel des Trägerfrequenzbereichs müssen diese kostenaufwändig ausgetauscht werden.

Aus „A 1-MHz and 16-Bit $\Sigma\Delta$ DAC with a 224th order reconstruction FIR-Filter using only 9 nonzero taps“, Jansson und Svensson, ASIC Conference and Exhibit, 1994 Proceeding, Seventh Annual IEEE International Rochester, NY, USA, 19-23. Sept. 1994, XP 010140531, Seiten 29-32, ISBN 0-7803-2020-4, ist eine Anordnung zur Digital-Analog-Wandlung bekannt, bei der ein Eingangssignal „Input“ einerseits direkt und andererseits zum Teil mehrfach zeitverzögert an parallel zueinander angeordnete Stromquellen gelangt. Die Anordnung weist dabei eine FIR-Filterstruktur auf, die durch festgelegte Filterkoeffizienten c_1, \dots, c_{224} bestimmt wird.

Aus US 5,323,157 A ist ein Sigma-Delta-Digital-Analog-Wandler bekannt. Ein Signal „Input Data“ wird dabei interpoliert und überabgetastet einem Sigma-Delta-Modulator mit einer Taktfrequenz MCLK zugeführt. Der Sigma-Delta-Modulator bildet ein Signal Aout, das einer mehrere D-FlipFlops umfassenden Serienschaltung zugeführt wird. Jeder inverse Ausgang eines betrachteten D-FlipFlops ist sowohl mit einem seriell nachfolgenden D-FlipFlop der Serienschaltung als auch mit einer Stromquelle verbunden. Die Stromquellen sind ausgangsseitig zusammengefasst, um ein analoges Ausgangssignal Vout zu bilden.

Es ist daher Aufgabe der vorliegenden Erfindung, eine Anordnung zur Digital-Analog-Wandlung derart auszubilden, dass sie ohne großen Aufwand auf verschiedene Trägerfrequenzbereiche abstimmbar ist.

→ 2a

2a

Die Aufgabe der Erfindung wird durch die Merkmale des Anspruchs 1 gelöst. Vorteilhafte Weiterbildungen der Erfindung sind in den Unteransprüchen angegeben.

- 5 Die erfindungsgemäße Anordnung zur Digital-Analog-Wandlung weist eine integrierte Filtercharakteristik auf, wodurch ausgangsseitig kostenintensive Mischer bzw. Filter eingespart werden.
- 10 Sie besteht aus mehreren, parallel zueinander angeordneten D/A-Wandlern, wobei den einzelnen D/A-Wandlern jeweils spezifische Koeffizienten zugeordnet sind. Dadurch wird eine optimale Anpassung an einen gewünschten Trägerfrequenzbereich ermöglicht.
- 15 Die erfindungsgemäße Anordnung ist auf verschiedene Trägerfrequenzbereiche abstimmbar, indem die Taktfrequenz der D/A-Wandler entsprechend geändert wird.
- 20 Erfindungsgemäß wird durch Wahl der den D/A-Wandlern spezifisch zugeordneten Koeffizienten und der den Verzögerungsgliedern spezifisch zugeordneten Verzögerungszeiten besonders bevorzugt eine FIR-Filtercharakteristik realisiert bzw. in der Anordnung integriert. Die aufeinanderfolgenden Koeffi-
- 25 zienten entsprechen einer Abtastung einer Impulsantwort von

→ 3

Patentansprüche

1. Anordnung zur Digital-Analog-Wandlung eines hochfrequenten digitalen Eingangssignals (DE) in ein trägerfrequentes analoges Ausgangssignal (AA),

- bei der eine Verzögerungseinrichtung (VZ) mindestens ein erstes Verzögerungsglied (VG1) aufweist und weitere Verzögerungsglieder (VG2,...,VGn) dem ersten seriell aufeinanderfolgend nachgeschaltet sind,

- bei der das digitale Eingangssignal (DE) einerseits an einen Eingang des ersten Verzögerungsglieds (VG1) und andererseits an einen Eingang eines ersten D/A-Wandlers (W0) angeschaltet ist,

- bei der das erste Verzögerungsglied (VG1) ausgangsseitig mit einem Eingang eines ihm zugeordneten weiteren D/A-Wandlers (W1) verbunden ist und gegebenenfalls jedes weitere Verzögerungsglied (VG2,...,VGn) ausgangsseitig mit einem Eingang eines dem jeweiligen Verzögerungsglied (VG2,...,VGn) zugeordneten weiteren D/A-Wandlers

(W2,...,Wn) verbunden ist,

- bei der alle mit einem identischen Taktsignal (CLK) angesteuerten D/A-Wandler (W0,...,Wn) ausgangsseitig stufenweise derart zusammengefasst sind, dass Ausgangssignale (AS0,...,ASn) aller D/A-Wandler (W0,...,Wn) das analoge Ausgangssignal (AA) bilden, und

- bei der jedem D/A-Wandler (W0,...,Wn) ein spezifischer Koeffizient (k_0, \dots, k_n) und jedem Verzögerungsglied (VG1,...,VGn) eine spezifische Verzögerungszeit (τ_1, \dots, τ_n) zur Realisierung einer Filtercharakteristik zugeordnet sind,

dadurch gekennzeichnet,

- dass die den Verzögerungsgliedern (VG1,...,VGn) spezifisch zugeordneten Verzögerungszeiten (τ_1, \dots, τ_n) einer

vollen Taktperiode oder einer Teiltaktperiode des Taktsignals (CLK) entsprechen, und

- dass das Taktsignal (CLK) derart gewählt ist, dass bei einer Trägerfrequenzbereichsänderung des Ausgangssignals eine automatische Anpassung der Filtercharakteristik erfolgt.

2. Anordnung nach einem der vorhergehenden Ansprüche, bei der die spezifischen Koeffizienten (k_0, \dots, k_n) und die spezifischen Verzögerungszeiten (τ_1, \dots, τ_n) derart gewählt sind, dass eine FIR-Filtercharakteristik realisiert wird.

3. Anordnung nach einem der vorhergehenden Ansprüche, bei der die Verzögerungsglieder (VG_1, \dots, VG_n) als mit dem Taktsignal (CLK) getaktete D-Latch ausgebildet sind.

4. Anordnung nach einem der vorhergehenden Ansprüche, bei der die D/A-Wandler (W_0, \dots, W_n) als 1Bit-D/A-Wandler ausgebildet sind.

5. Anordnung nach einem der vorhergehenden Ansprüche, bei der die D/A-Wandler (W_0, \dots, W_n) ausgangsseitig mittels Addiereinrichtungen (AE_1, \dots, AE_n) zusammengefasst sind.

6. Anordnung nach einem der vorhergehenden Ansprüche, bei der die den Verzögerungsgliedern (VG_1, \dots, VG_n) zugeordneten Verzögerungszeiten (τ_1, \dots, τ_n) gleich sind.

7. Anordnung nach einem der vorhergehenden Ansprüche, bei der die Ausgangssignale (AS_0, \dots, AS_n) der D/A-Wandler (W_0, \dots, W_n) zur Verbesserung der Filterfunktion jeweils eine Mehrfachpulsfolge aufweisen.

8. Anordnung nach einem der vorhergehenden Ansprüche, bei der das digitale Eingangssignal (DE) breitbandig ist.

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☒ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☒ **SKewed/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☒ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.